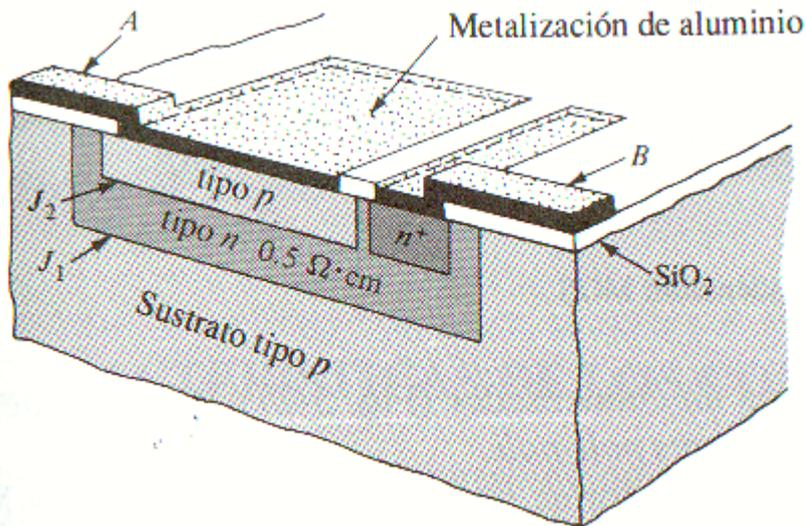


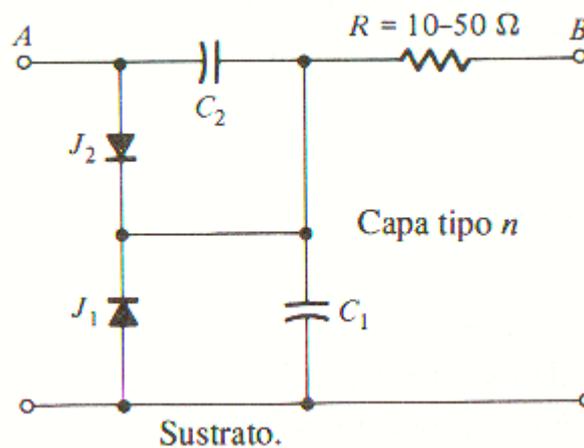
## 6- CONDENSADORES INTEGRADOS

Los condensadores en los circuitos integrados se fabrican empleando la capacitancia de la región de depleción de una unión PN con dolarización inversa.



**Figura N° 6.1(a) CONDENSADOR INTEGRADO TIPO UNIÓN**

$$C_2 \approx 0.2 \text{ pF/mil}^2$$



**Figura N° 6.1(b) CIRCUITO EQUIVALENTE (Cortesía de Motorola Inc)**

### 6.1- Condensador de Unión [1]

La [figura 6.1\(a\)](#) representa la sección transversal de un condensador de unión. El condensador está formado por la unión con polarización inversa  $J_2$  que separa la capa epitaxial de tipo N de la superior de difusión de tipo P. Aparece una unión adicional  $J_1$  entre el plano epitaxial de tipo N y el sustrato, y una capacitancia parásita  $C_1$  relacionada con esta unión polarizada en sentido inverso. El circuito equivalente de este condensador de unión puede verse en la [figura 6.1\(b\)](#) en el que la capacitancia deseada  $C_2$  debe ser tan grande como sea posible con relación a  $C_1$ . El valor de  $C_2$  depende de la superficie de la unión y de la concentración de impurezas. Esta unión es linealmente gradual. La resistencia  $R$  en serie entre 10 y 50  $\Omega$ , representa la resistencia de la capa tipo N. Es evidente que el sustrato debe estar a la tensión más negativa para minimizar  $C_1$  y aislar el condensador de los demás elementos manteniendo la unión  $J_1$  con polarización inversa. Puntualicemos que el condensador de unión  $C_2$  está polarizado ya que la unión PN  $J_2$  siempre está con polarización inversa.

En resumen y visto de otra manera [1], está claro que el equivalente de capacitores se logra en circuitos integrados, con juntas polarizadas en inversa. En una junta PN, la región P tiene alta densidad de lagunas y la tipo N alta densidad de electrones. En la junta misma hay una zona de carga espacial (zona desierta o de transición) con carga positiva de un lado y negativa del otro. En equilibrio térmico, el fuerte campo eléctrico existente en esa zona de transición evita que se difundan las lagunas en la zona tipo N y los electrones en la zona tipo P. La zona de carga espacial en la junta PN se comporta como un capacitor de placas paralelas. El ancho de la zona desierta es equivalente a la separación entre placas, la única diferencia consiste en que en este caso el dieléctrico es silicio. Un hecho característico de las juntas PN de silicio es que la zona de transición se extiende más hacia el lado de la junta que tiene menor concentración de impurezas (mayor resistividad). Debe observarse también que el ancho de la zona de transición es función de la tensión aplicada. Esta tensión en una junta abrupta varía como la raíz cuadrada de la tensión. La capacitancia formada por la zona desierta para una junta gradual es:

$$C = \sqrt{\frac{q \cdot \epsilon_0 \cdot \epsilon_r \cdot M}{2 \cdot V}} [\text{farads}]$$

$\epsilon_0$  = Permitividad del vacío  $8,85 \times 10^{-14}$  F / cm.

$\epsilon_r$  = Constante Dieléctrica del Silicio = 12.

V = Tensión inversa aplicada + potencial de contacto de 0,6 volt.

q = Carga del Electrón  $1,6 \times 10^{-19}$  coulomb.

M = Concentración de impurezas del lado menor.

Debido a la alta constante dieléctrica del silicio, se pueden obtener altos valores de capacitancia por unidad de superficie. La ecuación es suficientemente exacta como para dar aproximaciones de primer orden al calcular la capacidad.

**TABLA 1. CAPACITANCIA COMO FUNCIÓN DE LA RESISTIVIDAD Y TIPO DE JUNTURA**

Juntura	Polarización aplicada (Volts)	Capacitancia/ unidad de superficie (pF/mm <sup>2</sup> )	Observaciones
Colector-sustrato	0	230	sustrato
	- 5	77	5 $\Omega$ x cm
	- 10	62	colector
Base-colector	0	308	colector
	- 5	154	5 $\Omega$ x cm
	- 10	77	base 200/
Emisor-base	0	1538	cuadro
	- 2	1077	resistencia
	- 5	769	laminar

La tabla 1 indica valores típicos de capacidad por unidad de superficie que se obtienen en estructuras integradas monolíticas

Ejemplo: Para la juntura base-colector si la superficie real de la juntura es de 1.3 mm<sup>2</sup> y la tensión  $V_{AB} = 0V$

¿cuánto vale la capacidad?

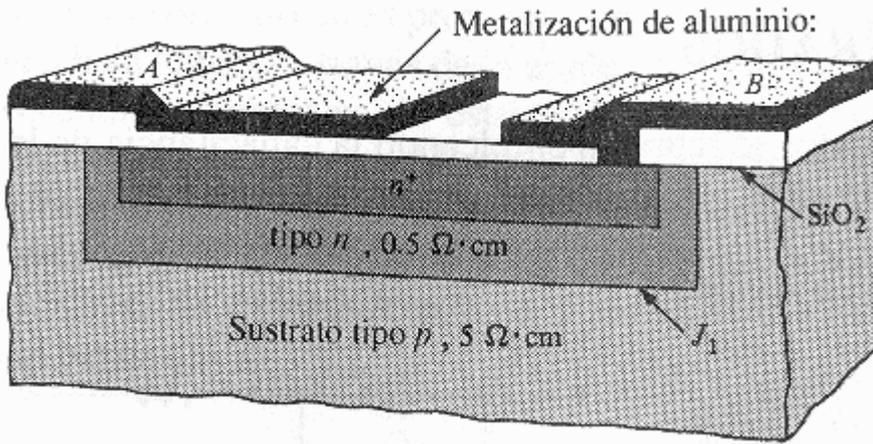
Vemos que para la juntura dada la capacidad por mm<sup>2</sup> es 308 luego  $C = 308 \times 1,3 = 400,4$  pF

### **6.2-Condensadores MOS y de Película Delgada**

La figura 6.2(a) representa un condensador MOS no polarizado. Esta estructura es la de un condensador plano paralelo con SiO<sub>2</sub> como dieléctrico de un espesor de 500 Ångstrom. La placa superior es una fina película superficial metálica de aluminio. La placa inferior es la región n<sup>+</sup> fuertemente dopada que se forma durante la difusión (implantación) de emisor en un proceso bipolar o durante la implantación de las regiones de drenaje y fuente en los procesos MOS. El circuito equivalente del condensador MOS es el de la figura 6.2(b) en el que C<sub>1</sub> representa la capacidad parásita de la unión colector-sustrato, y R la pequeña resistencia en serie de la región n<sup>+</sup>.

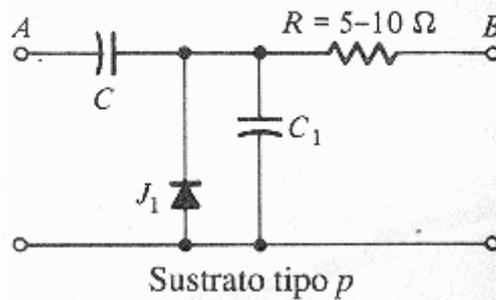
Obsérvese que la placa superior no es necesariamente metálica sino que puede ser la capa de polisilicio empleada para formarlas regiones de puerta del transistor MOS. Algunos procesos industriales de fabricación MOS emplean dos capas de polisilicio teniendo así una capa adicional para las interconexiones entre los componentes. Las dos capas de polisilicio están separadas por una ligera zona de SiO<sub>2</sub> lo que forma un condensador figura 6.3. A los condensadores construidos de esta forma se les denomina condensadores poli-poli.

Los condensadores de película delgada PD se fabrican de forma similar a los condensadores MOS. Se vaporiza una película conductora (placa superior) sobre la capa de SiO<sub>2</sub> el dieléctrico, y la placa inferior la forma la región n<sup>+</sup> fuertemente dopada debajo del oxido. La capacidad del condensador MOS o de unión es bien pequeña, generalmente del orden de  $4 \times 10^{-4}$  pF /  $\mu\text{m}^2$ .

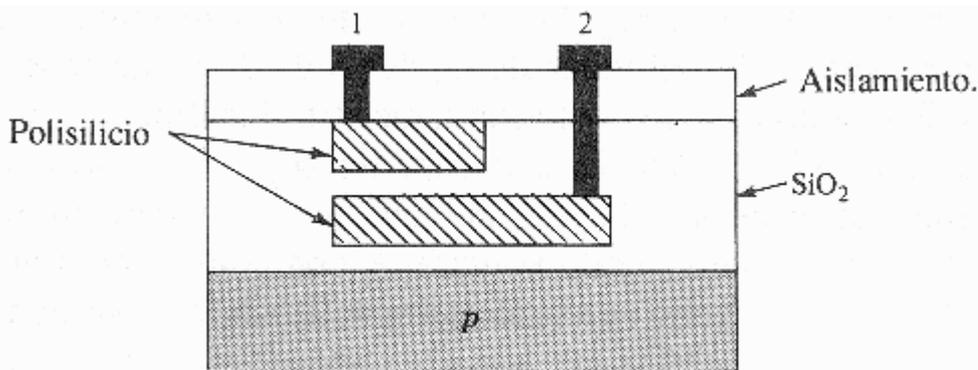


**Figura N° 6.2(a) CONDENSADOR MOS: ESTRUCTURA EN CORTE**

$$4 \times 10^{-4} \text{ pF}/\mu\text{m}^2$$



**Figura N° 6.2(b) CONDENSADOR MOS: CIRCUITO EQUIVALENTE**



**Figura N° 6.3 Condensador MOS formado de dos capas de Polisilicio.**

Un condensador de 40 pF ocupa un área de  $10^5 \mu\text{m}^2$  o cubre un rectángulo de  $1 \times 0,1 \text{ mm}$  sobre la superficie del chip. La mayor parte de los condensadores integrados son de menos de 100 pF. Se han conseguido valores por encima de los 500 pF pero solo a expensas de ocupar la mayor parte del área del chip. El empleo de películas de tantalio puede aumentar 10 veces la capacidad por unidad de superficie. Como dieléctrico se recrece una capa bien controlada de peróxido de tantalio  $\text{Ta}_2\text{O}_5$ , y para la placa superior se deposita tantalio metálico, pues el aluminio es soluble en el  $\text{Ta}_2\text{O}_5$ . El aumento de la capacidad se obtiene a expensas de nuevos pasos en el proceso.

[1] La fabricación de capacitores de PD obedece a superar algunas limitaciones impuestas por los capacitores de juntura. Estos capacitores son no polarizados y la capacidad es independiente de la tensión aplicada. Las características de ruptura y el factor de pérdidas son mejores que en los de juntura. El capacitor C de la figura 6.2(b) está formada por aluminio depositado sobre el óxido. El valor de C está dado por: el área del aluminio depositado, el espesor de la capa de óxido y su constante dieléctrica. Se puede lograr una capacidad por unidad de superficie del orden de  $308 \text{ a } 769 \text{ pF} / \text{mm}^2$ . Para una capacidad determinada, se trata de usar una capa de óxido sumamente delgada para reducir el área de aluminio requerida. La máxima capacidad disponible está limitada a algunos cientos de pF debido a microperforaciones en el óxido, con los cortocircuitos asociados y consideraciones de producción debido al tamaño de las orejas de conexión requeridas. Nuevamente aparece una capacidad  $C_1$  en la figura 6.2(b) debida a la juntura del sustrato, que debe tomarse en cuenta en el diseño del circuito.

**6.3 PROCESO DE DEPOSICIÓN DIELECTRICO [4]**

Los materiales inorgánicos son depositados por medio de uno a tres procesos:

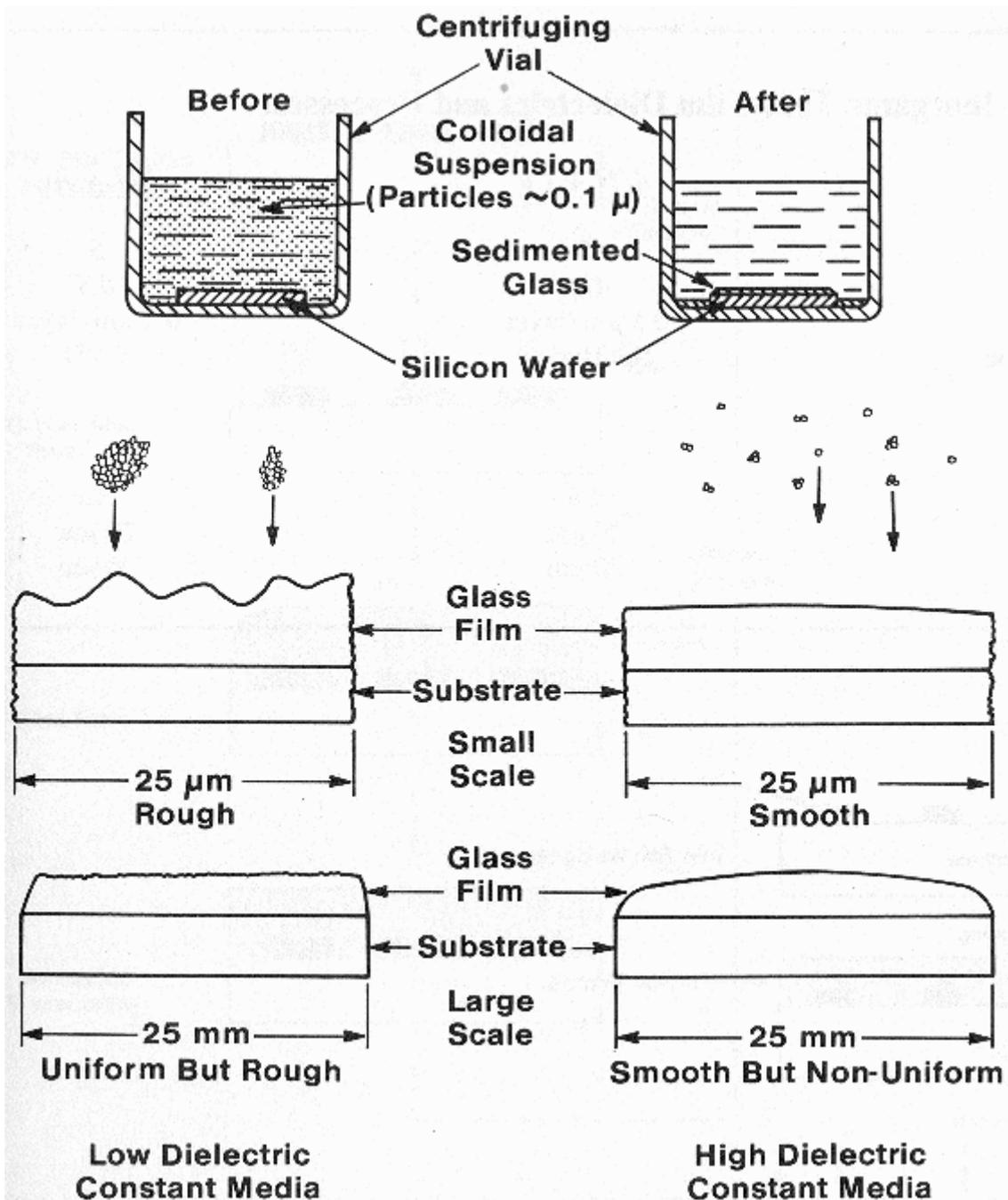
- 1- Proceso de película gruesa: sopleteado spray, máscara y sedimentación.
- 2- Sputtering, Deposición electrónica.

## 3- Deposición de vapor químico.

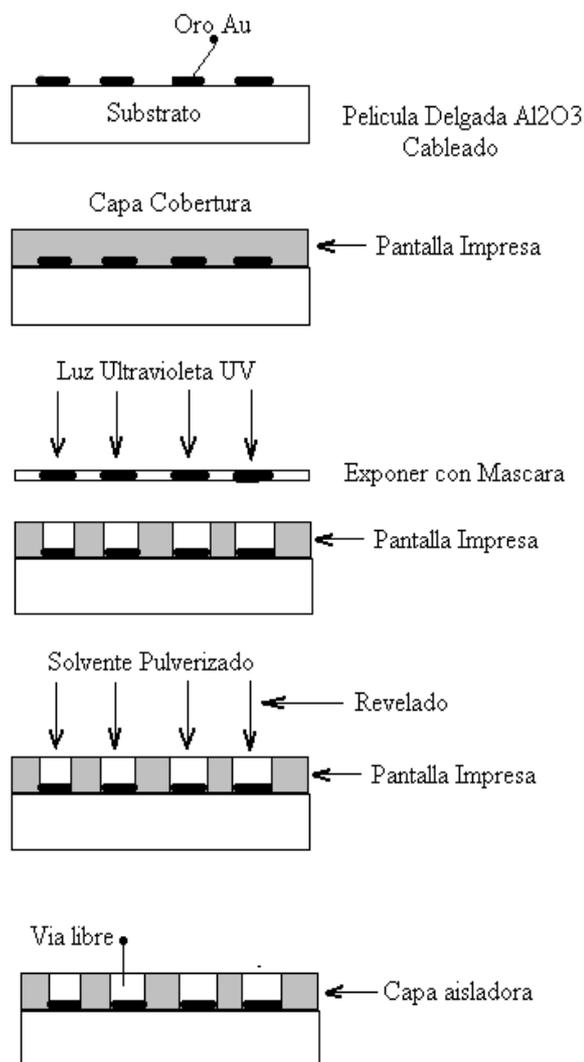
1- El sopleteado con máscara es un proceso limitado para espesores de 1,5 a 25  $\mu\text{m}$  y es similar al proceso de película gruesa. El proceso de sedimentación ilustrado en **figura 6.4** requiere la formación y dispersión de partículas de tamaño del orden de micronesimas incluidas en un solvente orgánico seguido de centrifugado para obtener películas finas y compactas.

2- La deposición de vapor químico implica la formación de compuestos volátiles de metales seguido de oxidación del metal para formar una cerámica. Dos ejemplos de dieléctricos inorgánicos son ilustrados en **tabla 2**.

El proceso de película delgada de la **figura 6.5** implica su formación con Au ó otro conductor para líneas por uno de los dos procesos en este capítulo seguido por impreso con máscara y secado de dieléctrico inorgánico fotosensitivo que luego se lo expone a través de la máscara por luz UV. Se elimina el dieléctrico según el diseño. Es razonable pensar que este procedimiento sea aplicado en película gruesa de conductores como se hace en PD.



**Figura N° 6.4 Proceso de Sedimentación para Deposición de Película de Vidrio**



**Figura N° 6.5 Proceso Película Delgada Dieléctrico (cortesía NEC Co)**

**Tabla 2 Procesos de Películas Delgadas de Dieléctricos Inorgánicos[4]**

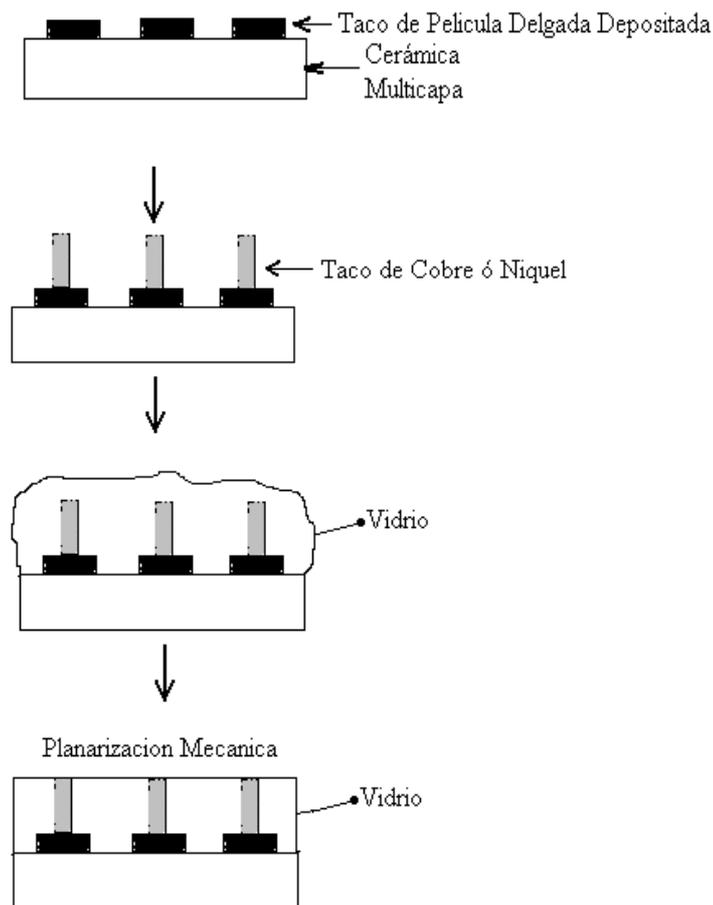
<b><u>Aislador</u></b>	<b><u>Al + Cu</u></b>	<b><u>BN + Au</u></b>
Numero de capas	5	5
Material	Al N	BN
Espesores	0,5 $\mu\text{m}$ / capa	0,2 $\mu\text{m}$ / capa
Método de formación	Sputtering	CVD
<b><u>Conductor</u></b>		
Material	Cu	Au
Ancho de la traza	20 $\mu\text{m}$	20 $\mu\text{m}$
Medida de vaciado	20 $\mu\text{m}$	20 $\mu\text{m}$

La estructura planar de múltiples películas delgadas inorgánicas implica o supone la planarización química, mecánica o la combinación de procesos de planarizados. Tales procesos desarrollados en la década del setenta empleaban la deposición de vidrios boro silicato, la expresión por medios térmicos adoptados a sustratos de alumina, con constante dieléctrica reducida. Estos materiales están procesados en una atmósfera de N<sub>2</sub> (nitrógeno) seguidos de H<sub>2</sub> por encima de 50°C, pues por debajo de esa temperatura se ablanda y vaporiza el N<sub>2</sub>. Este proceso se muestra en el **figura 6.6** lo que implica la deposición por bloques de cromo-cobre-cromo, seguido de cobreado previo a la deposición y disparos de vidrio de alrededor de 800°C. La estructura se maquina para aplanar la superficie después del depositado de vidrio. Un total de cinco capas de vidrio y cinco

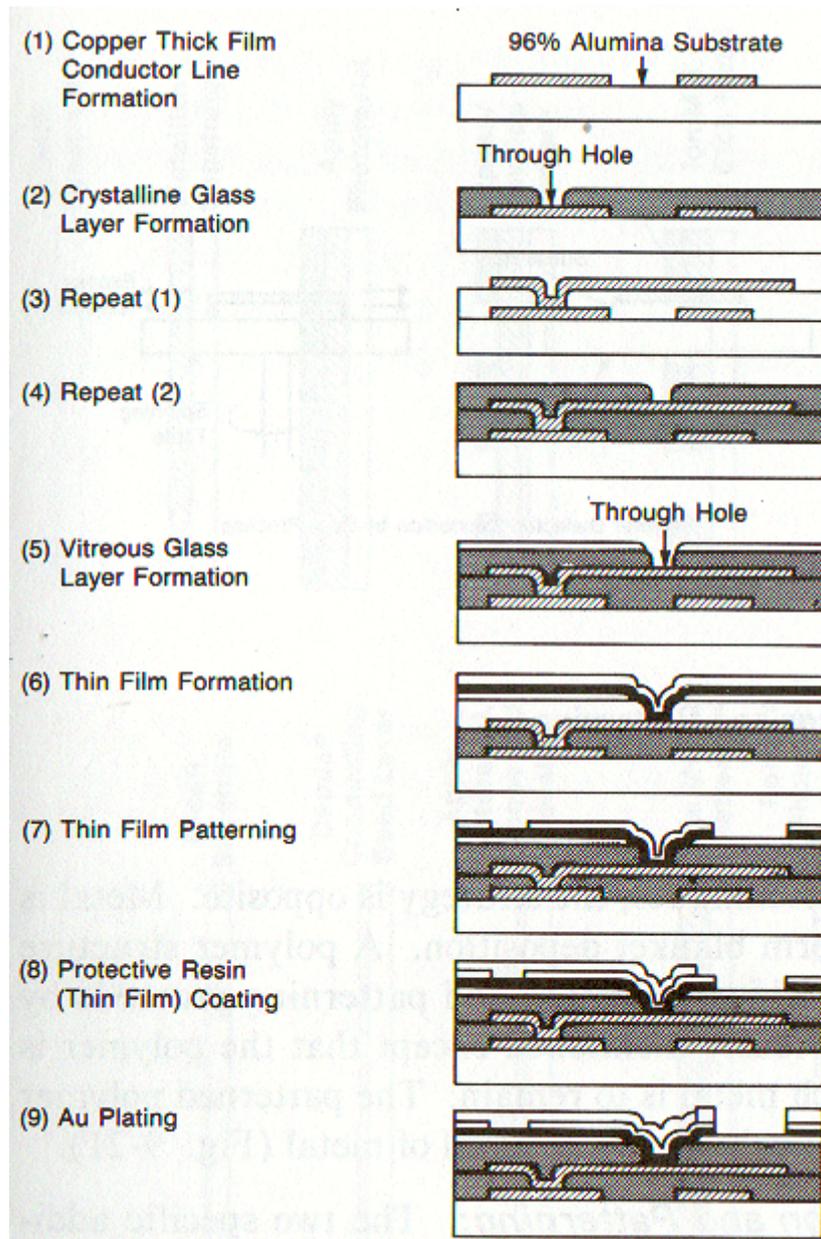
de cobre metalizado, se llegan a formar de esta forma. La desventaja es que al depositar una nueva capa a alta temperatura, puede afectar la capa anterior ablandándola y produciendo globos en el material de vidrio y además algún desplazamiento de las líneas de conductores. Esto se puede resolver empleando vidrio-cerámica. La mejor ventaja es la compatibilidad térmica del conjunto de materiales desde la alumina al vidrio, habiendo también estabilidad térmica permitiendo procesos de juntura estables por encima de los 800°C.

Los defectos de la vitrificación con vidrio son resueltos mediante el uso de vidrio cristalizado reduciendo costos en módulos de multinivel en multichip. La construcción de esta estructura se ve en la **figura 6.7** en donde los conductores de cobre están formados por medio de mascarar de impresión sobre la que se proyecta el cobre, seguido por nitrógeno-vidrio cristalizado proyectado como disparos sobre los huecos de la mascara. La cubierta de vidrio-cerámica es suavizada por una delgada cubierta de vidrio. Seguidamente la película delgada de Ta<sub>2</sub>N / NiCr / Au depositado del cableado, es bañada con oro Au.

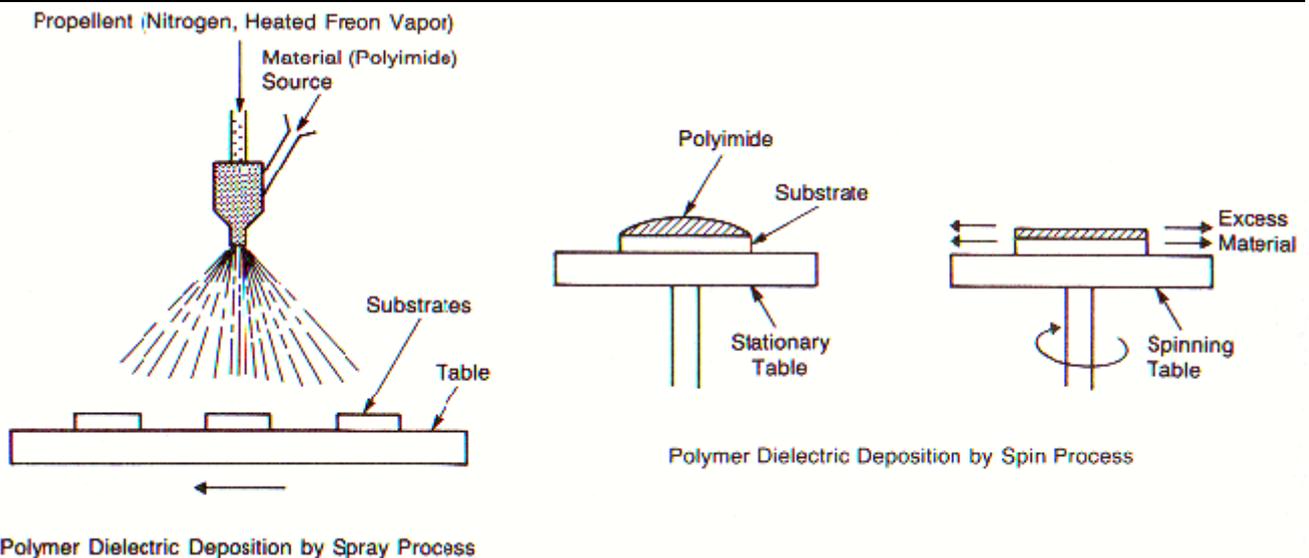
La **figura 6.8** muestra como se cubren los conductores depositados, por una película delgada dieléctrica: poliamida.



**Figura N° 6.6 Proceso Cobre-Vidrio**  
**Secuencia Multicapa Película Delgada**



**Figura N° 6.7 Fabricación de Película Gruesa y Fina Sustrato Multicapa (Cortesía Fujitsu Ltd)**



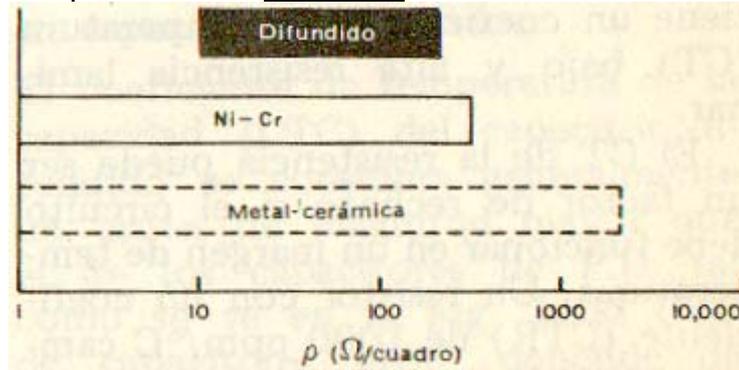
**Figura N° 6.8 Deposición Dieléctrica y Plantillado**

## 6.4 MARGENES DE FUNCIONAMIENTO SEGÚN EL PROCESO DE DEPOSITADO [11]

Pag. 37 Bierman R. Scot, Don W. Brooks, Texas Instruments Inc. Dallas Texas

Generalmente se atribuye la excesiva baja tensión de sustrato entre resistencias o capacitores difundidos y el sustrato a imperfecciones en la juntura. La ruptura respecto al sustrato en dispositivos difundidos es un problema de rendimiento que aumenta con la superficie de la juntura difundida y la tensión de trabajo. El problema se puede eliminar usando componentes pasivos de PD. Sobre la capa de Oxido de Silicio. La tensión de ruptura de la capa de Si O<sub>2</sub> está en el orden de 200 a 1000 volt.

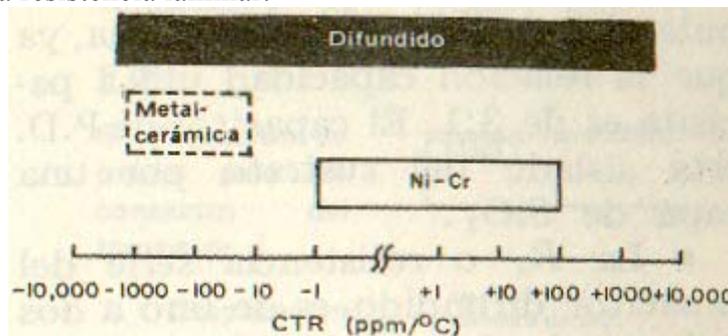
Se puede elegir una gran cantidad de materiales para resistores de PD. El resistor de Ni-Cr de PD fue experimentado durante muchos años y probo ser muy útil para su aplicación en CI. El resistor de Cermet Ta / Ta<sub>2</sub> O<sub>3</sub> que se muestra en línea punteada en la **figura 6.9**.



**Figura N° 6.9 Margenes de resistencia**

Laminar para materiales difundidos de PD y Cermet (metal-cerámica)

La resistencia laminar útil de un resistor difundido esta limitado a 10 - 250 ohm/cuadro para la mayoría de las aplicaciones. Aunque se pueden conseguir mayores resistencias laminares, es difícil mantener la tolerancia y otras características como el Coeficiente de Temperatura, quedan severamente degradados. El diseño de resistores difundidos en la mayoría de las aplicaciones esta gobernado por la difusión de base de transistores. La resistencia laminar es de 80 a 200 ohm/cuadro. Los **resistores de Ni-Cr** se fabrican entre 1 - 300 ohm / cuadro, con rendimientos compatibles con el el procesado de CI. Los **resistores de Cermet** pueden estar compuestos de Cr-SiO<sub>2</sub> ó Ta - Ta<sub>2</sub> O<sub>5</sub> y su resistencia laminar se aproximan a 1000 - 5000 ohm/cuadro. El **resistor de Cermet** tiene un coeficiente de temperatura CT bajo y alta resistencia laminar. El CT de la resistencia puede ser un factor de rechazo si el circuito debe funcionar en un margen de temperaturas. Un resistor con un CT de 1000 ppm/°C cambia de valor en un 10% dentro de un limite de temperaturas de 100°C. La contraparte de PD con un CTR de 50 ppm/°C varia solo un 0,5% en el mismo margen. La **figura 6.10** indica que el CTR de resistores difundidos puede llegar a ser de hasta 2000 a 2500 ppm/°C positivo o negativo según la impurificación y la resistencia laminar.



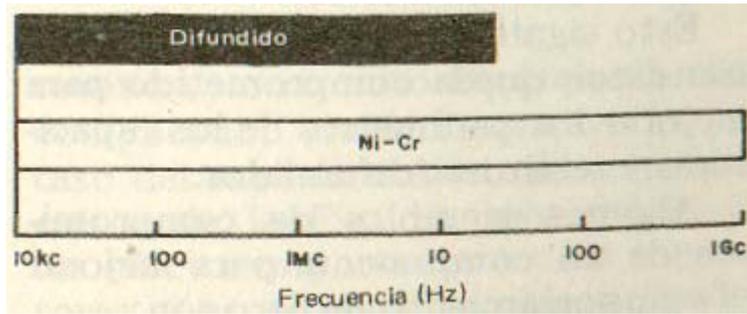
**Figura N° 6.10 El Efecto de la Temperatura**

En la resistencia en resistores difundidos esta entre los limites de - 2000 a + 1000 ppm/°C dependiendo de la impurificación y la resistencia laminar.

Sin embargo el resistor difundido que se usa en general tiene un CTR de - 2000 a + 1000 ppm/°C.

### 6.4.1 Limites de Frecuencia de resistores Peliculares

En la **figura 6.11** se muestra que el limite practico de Alta Frecuencia esta en 1 GHz para el resistor de Ni-Cr y 20 MHz para el resistor Difundido.

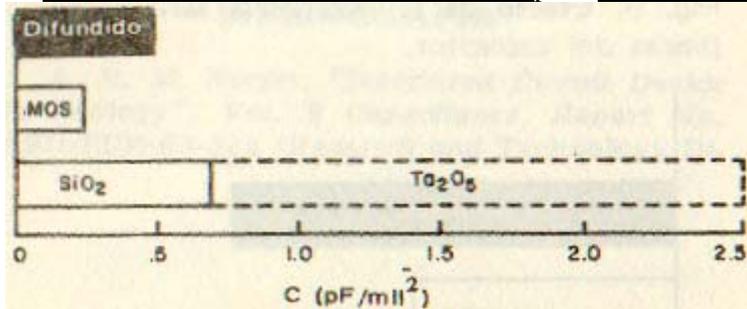


**Figura N° 6.11 El Limite Practico de Alta Frecuencia**

En resistores se define como 0,707 del valor en corriente continua.

El limite de alta frecuencia de un resistor difundido puede variar ya que la frecuencia a la cual la resistencia comienza a disminuir depende del nivel de impurificación y de la dolarización. Con un diseño optimo del resistor difundido se podría extender el limite de frecuencia de trabajo, pero esto no es practico en CI porque compromete el diseño del transistor.

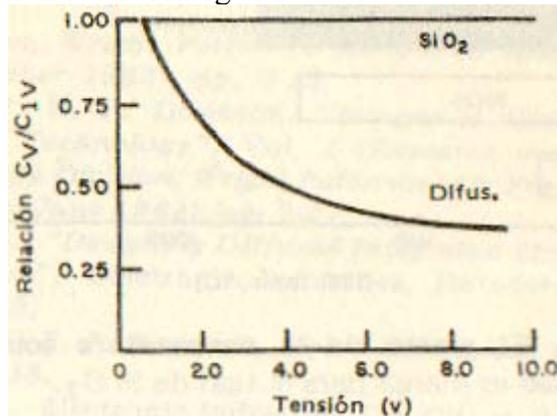
En la **figura 6.12** se indica la **capacidad por unidad de superficie** para **los tres tipos de Capacitores**



**Figura N° 6.12 La capacidad por Unidad de Superficie**

Del Ta₂ O₅ es altamente promisoria.

El **capacitor difundido** difundido puede llegar a 750 pF/mm² aunque se fabrican capacitores de 1200 pF/mm². El capacitor de PD puede dar 900 pF/mm² con dieléctrico de Ta₂ O₅ se han obtenido valores de 3800 pF/mm². El **capacitor MOS** tiene una capacidad inferior al tipo difundido. Esto es cierto para un capacitor MOS de 300 pF/mm² insensible a la tensión operando en el margen de 0 a 10 v.



**Figura N° 6.13 La sensibilidad a la tensión de Capacitores**

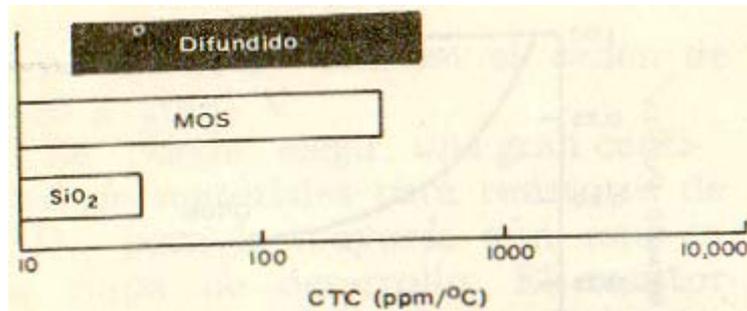
Hechos por técnicas de difusión y PD. No se muestran capacitores MOS ya que la relación depende del proceso de fabricación.

Se puede aumentar la capacidad por unidad de superficie pero a costa de un rápido incremento en la sensibilidad a la tensión aplicada. En la **figura 6.13** puede observarse la sensibilidad a la tensión de los tres tipos de capacitores a 300 pF/mm². La estructura difundida con una resistividad de 1 ohm.cm tipo *n* ó 3 ohm.cm tipo *p* es la más sensible. Se muestra la dependencia de la inversa de la raíz cúbica esperada de la capacidad con respecto a la tensión. No se muestra la relación capacidad-tensión del capacitor MOS ya que

esta depende mucho del proceso de fabricación. El capacitor MOS se describe generalmente como un capacitor serie de capa de oxido y empobrecimiento. Deben tenerse en cuenta sin embargo los efectos de los estados superficiales ya que a menudo enmascaran la relación  $C/V$  antes mencionada.

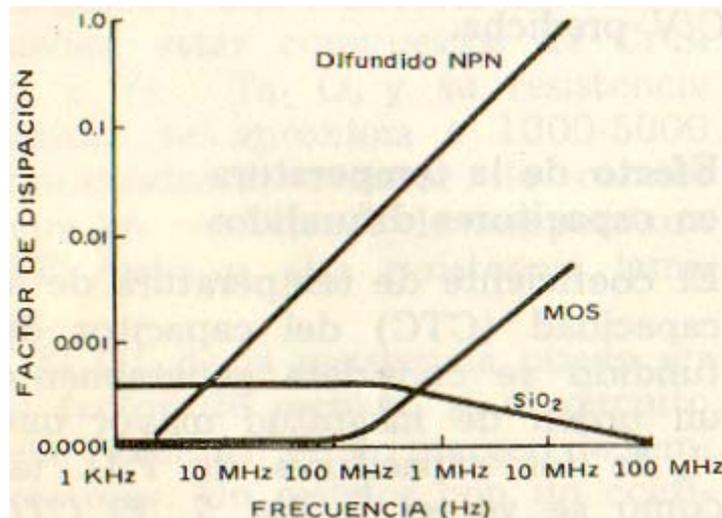
#### **6.4.2 Efecto de la Temperatura en Capacitores Difundidos**

El coeficiente de temperatura de la capacidad CTC del capacitor difundido se considera generalmente un orden de magnitud mayor que el de los capacitores de PD. Tal como se ve en la **figura 6.14**. El CTC de capacitores MOS depende de cómo se hizo **crecer el oxido**, del espesor del mismo y de su contenido de humedad. Esta entre 5 y 300 ppm/°C.



**Figura N° 6.14 El efecto de la temperatura sobre la capacidad**  
Es menor para el tipo de Si O<sub>2</sub>.

El CTC de capacitores de PD de Si O<sub>2</sub> varía entre 6 y 30 ppm/°C. La **figura 6.15** muestra la dependencia de la frecuencia del factor de disipación. Este factor es del mismo orden de magnitud a baja frecuencia para capacitores de PD y MOS mientras que el factor de disipación (fd) del capacitor difundido es mucho mayor. Este factor limita el uso de capacitores difundidos a frecuencias más altas ya que su fd es 0,1 apenas por encima de 1 MHz. En todos los capacitores las pérdidas ohmicas en los terminales y en las placas incrementan el fd.

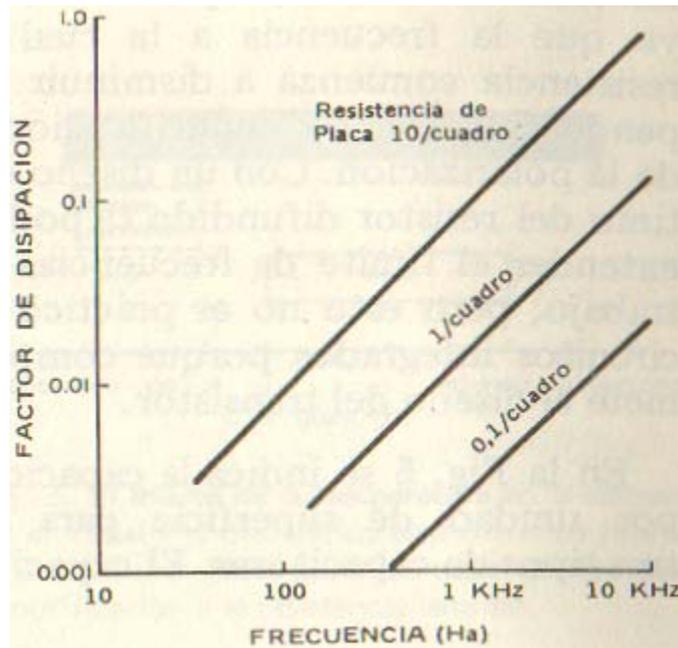


**Figura N° 6.15 Un aumento lineal en el Factor de Disipación**  
De capacitores difundidos limitan la frecuencia útil.

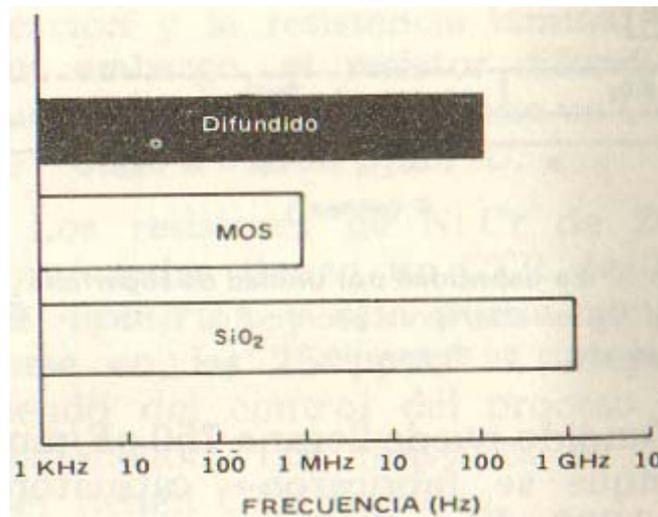
En la **figura 6.16** se ilustra esta dependencia respecto de la resistencia serie para un capacitor ideal. El fd disminuye casi un orden de magnitud con un decrecimiento similar de la resistencia serie. El diseño de capacitores MOS es crítico en lo que respecta al fd. El capacitor debe tener baja resistencia laminar para disminuir  $R_s$  y mantener bajo el fd. El alto fd del capacitor difundido mostrando en la **figura 6.16** se debe a una  $R_s$  de 102 ohms.

Este valor es mas de un orden de magnitud mayor que en el capacitor MOS o el de PD. De hecho casi siempre es alto, ya que la porción del capacitor que se forma durante la difusión del colector tiene alta resistencia laminar. Al diseñar capacitores difundidos para alta frecuencia, deben considerarse también la geometría y el nivel de impurificación del silicio. La capacidad de un cuerpo de Si O<sub>2</sub> es lineal hasta 25 GHz y se encuentra que los capacitores de PD son lineales hasta una frecuencia de 2GHz tal como se muestra en la **figura 6.17** limitada solo por la inductancia del encapsulado. Los capacitores MOS tipo  $p$  de 100  $\Omega$ .cm están limitados en

capacidad a una frecuencia menor que 100 KHz. Los capacitores tipo *p* de 1 ohm.cm exceden ese limite tal como se observa en la **figura 6.17**.



**Figura 6.16 Efecto de la Resistencia Serie**  
Sobre las placas del capacitor.



**Figura N° 6.17 El limite practico de Alta Frecuencia**  
en capacitores de PD esta fijado por la inductancia de los terminales y el encapsulado.